

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

⑪ N° de publication :

(A n'utiliser que pour les
commandes de reproduction).

2 266 389

A1

**DEMANDE
DE BREVET D'INVENTION**

⑯

N° 74 11722

⑯

Dispositif de transmission de blocs de données multiples.

⑯

Classification internationale (Int. Cl.²). H 04 L 1/12.

⑯

Date de dépôt 2 avril 1974, à 16 h 28 mn.

⑯ ⑯ ⑯

Priorité revendiquée : *Demande de brevet déposée aux États-Unis d'Amérique le 2 avril 1973,
n. 347.252 aux noms de John Roger Tooley, Larry Dean Scott et Hatcher Edward Chalkley.*

⑯

Date de la mise à la disposition du
public de la demande B.O.P.I. — «Listes» n. 43 du 24-10-1975.

⑯

Déposant : Société dite : TEXAS INSTRUMENTS INCORPORATED, résidant aux États-Unis
d'Amérique.

⑯

Invention de :

⑯

Titulaire : /dem ⑯

⑯

Mandataire : Cabinet Lavoix, 2, place d'Estienne-d'Orves, 75441 Paris Cedex 09.

tenant l'erreur dès que le poste émetteur devient disponible pour cette tâche.

D'autres caractéristiques de l'invention apparaîtront au cours de la description qui va suivre.

5 Aux dessins annexés, donnés uniquement à titre d'exemple nullement limitatif :

la Fig. 1 est un diagramme synoptique du dispositif de transmission duplex synchrone de blocs binaires multiples selon l'invention;

10 la Fig. 2 est un diagramme synoptique de chacun des postes émetteur-récepteur 10 et 11;

la Fig. 3 est un diagramme synoptique du calculateur qui peut être associé aux postes émetteur-récepteur 10 et 11;

15 la Fig. 4 est un diagramme synoptique de l'unité d'émission-réception qui est utilisée dans les postes émetteur-récepteur 10 et 11;

les Fig. 5 et 6 sont des diagrammes détaillés du concentrateur de données et de l'unité 20 d'interface de calculateur de l'unité 15 d'émission-réception;

20 la Fig. 7 est un diagramme synoptique de la partie émetteur de l'émetteur-récepteur 21 de l'unité 15;

les Fig. 8A et 8B constituent ensemble un diagramme synoptique de la partie récepteur de l'émetteur-récepteur 21 de l'unité 15;

25 la Fig. 9A est un diagramme synoptique d'un circuit logique utilisé dans l'émetteur pour effectuer le contrôle de redondance cyclique;

la Fig. 9B est un diagramme synoptique d'un circuit logique utilisé dans le récepteur de l'émetteur-récepteur pour effectuer le contrôle de redondance cyclique.

30 La Fig. 1 illustre le protocole de transmission duplex synchrone de blocs binaires multiples selon l'invention, mettant en oeuvre une procédure de transmission duplex synchrone binaire pour assurer la transmission synchrone de données en code binaire sur des lignes 22 bilatérales. Deux postes émetteurs-récepteurs 10 et 11 sont prévus. Le dispositif de transmission duplex synchrone augmente les possibilités de transmission des dispositifs actuels et futurs de télétraitements, grâce à ses possibilités d'effectuer des transmissions semi-duplex et duplex, en utilisant toute une variété de codes.

tiques et spéciaux), en des caractères fonctionnels (par exemple HT-tabulation horizontale, DEL-effacement), et en des caractères de commande de liaison de transmission de données (par exemple STX-début de texte). Chaque code offre des possibilités différentes pour 5 des affectations totales, graphiques et fonctionnelles. Ces possibilités reflètent la souplesse des deux codes EBCDIC (code d'échange décimal-codé-binaire étendu) et USASCII (code standard des Etats-Unis d'Amérique pour l'échange d'informations). Si l'un ou l'autre de ces groupes de code est utilisé en mode transparent, la souplesse 10 du dispositif de télécommunications est encore augmentée car toutes les configurations binaires possibles sont traitées (données seulement) comme dans un texte transparent. Pour ce mode de fonctionnement, toutes les restrictions d'affectation sont éliminées du groupe 15 de code utilisé. Un bit de parité est également disponible comme bit de données lors de la transmission de données en code USASCII transparent. Cette possibilité supplémentaire du dispositif duplex synchrone binaire signifie que, à l'intérieur du message standard, un format de tout type d'information codées peut être manipulé dans un mode de texte transparent. Le dispositif peut également être adapté 20 pour traiter d'autres groupes de code.

Le dispositif selon l'invention de transmission duplex de blocs multiples permet de transmettre des données en duplex avec un rendement maximal. Ce résultat est obtenu principalement par le fait que le traitement des erreurs est optimisé de manière à effectuer une 25 transmission continue des données, sans duplication des données variables dans le cas d'une erreur. Le dispositif peut être réalisé sous une forme matérielle ou sous une forme matérielle-logicielle.

La Fig. 2 illustre un mode de réalisation matériel-logiciel des postes émetteurs-récepteurs 10 et 11. Dans le dispositif selon ce 30 mode de réalisation de l'invention, chacun des postes 10 et 11 est constitué par un dispositif de traitement de données ou calculateur 12 qui contient des programmes câblés ou des programmes enregistrés 13, un canal de mémoire 14, une unité 15 d'émission-réception, une interface de ligne et/ou modulateur-démodulateur 16 et une liaison 55 de transmission de données 22 vers l'autre poste 10 ou 11 semblable. Chaque poste 10 et 11 est susceptible d'émettre et de recevoir des successions de codes de commande et des données, ainsi qu'il sera décrit en détail par la suite.

lateur 12 à l'émetteur-récepteur 21 en extrayant chaque mot de l'unité de mémoire 18, en le chargeant et en déterminant si l'émetteur-récepteur a accusé réception de chaque mot. L'unité 20 est un canal semi-duplex car il peut extraire un mot de l'unité de mémoire 18 ou 5 mémoriser un mot dans cette unité, mais non simultanément. Cependant, l'unité 20 a l'apparence d'un canal duplex en raison de sa grande vitesse de fonctionnement.

Les opérations de l'unité de concentrateur de données et d'interface du calculateur sont, à l'exception des interruptions d'état 10 et des interruptions de conditions d'erreurs, commandées par le logiciel 13 de commande de calculateur selon l'invention. L'unité 20 est un processeur à double programme enregistré. Deux chaînes d'instructions de transfert de données et de commande du concentrateur de données et de l'interface de calculateur sont mémorisées dans l'unité de mémoire 18 par le logiciel de commande 13, l'une pour les transferts de départ et l'autre pour les transferts d'arrivée. Une commande de calculateur vers le concentrateur de données et unité d'interface de commande, désignée par commande ATI, déclenche l'unité 20 avec les adresses de début d'une chaîne d'instructions de l'unité de mémoire 18. L'unité 20 exécute alors la chaîne d'instructions qui ne nécessite aucune autre intervention de l'unité centrale de traitement 17 du calculateur 12. Dans le cas où le logiciel de commande 13 ne comprend qu'un seul mot de commande câblé ou un mot d'adresse d'état pour l'unité 20, le mode en programme enregistré 25 est inutile. Un seul mot est transféré comme le second des deux mots qui constituent une commande ATI. De même, le second mot de commande ATI peut être utilisé pour acheminer du calculateur vers l'émetteur-récepteur, ou un mot de commande transmis de l'unité 20 à l'émetteur-récepteur 21. Dans le mode en programme enregistré, le second mot 30 de commande ATI est l'adresse de début du programme enregistré dans la mémoire.

L'unité 20 de concentrateur de données et d'interface du calculateur est représentée plus en détails sur les Fig. 5 et 6. Les circuits des Fig. 5 et 6 sont réalisés en logique câblée et ils 35 sont commandés en fonction du logiciel de commande 13 qui réside dans le calculateur 12 ainsi qu'il sera décrit plus en détail par la suite. Selon la Fig. 5, un circuit de commande 22 fournit l'état de mémoire ou des registres de mémorisation au circuit de commande

extraction 30 reçoit des signaux de liste d'extraction provenant à la fois du circuit de commande de réception DMA 29 et du circuit de commande d'émission DMA 32. Il reçoit également des signaux d'extraction de données provenant du circuit de commande 31 de transfert de 5 bloc à l'émission et en réponse, il commande l'extraction des listes de données dans la mémoire 18. Le circuit de commande d'émission DMA 32 sollicite des interruptions du circuit de commande d'interruption 25 lorsque des segments sont complets. Le circuit de commande 32 signale également au circuit de commande d'émission 33 qu'il doit 10 émettre une liste de données ou de mots de commande. Le circuit de commande d'émission 33 transfère les mots transmis par le circuit de commande 34 de non-groupage de données. Le circuit de commande d'émission DMA 32 commande également le mode groupé/non groupé du circuit de commande 34 de groupement de données. Ce dernier émet des 15 signaux de file d'attente ESCII QUE et des signaux de commande ESCII COM vers l'émetteur-récepteur 21 qui lui répond avec un signal d'acceptation BSCTR ACC. Le circuit de commande d'émission 33 signale également au circuit de commande de transfert de bloc à l'émission qu'il doit transmettre des mots de données, en réponse à quoi 20 le circuit de commande 31 de transfert de bloc à l'émission sollicite l'extraction de données au circuit de commande d'extraction 30.

La Fig. 6 montre que les données lues dans la mémoire sont transmises au registre d'émission 35, et du registre d'émission 35 au registre de numéro 36, au registre 39 de début R de réception, 25 au registre 37 de comptage T d'émission, au registre 40 de début T d'émission, au sélecteur 42 d'entrée de registre d'adresse de réception, au sélecteur 44 d'entrée de registre d'adresse T d'émission, au circuit de contrôle de parité 51, ou au tampon d'émission 52. Les données reçues par le tampon d'émission 52 sont transférées au circuit de groupement de données 53, puis au circuit d'essai de boucle de fonction 54. Lorsque l'essai de boucle de fonction a été exécuté sur les données, ces dernières sont émises par le circuit à essai 54. Le sélecteur 42 d'entrée de registre d'adresse R de réception reçoit également des données provenant du registre de début 35 R 39 et le sélecteur d'entrée de registre d'adresse T d'émission reçoit des signaux provenant du registre 40 de début T d'émission. Le sélecteur 42 d'entrée de registre d'adresse de réception fournit alors une adresse au registre 47 d'adresse R de réception, et le

fonction d'aiguillage de données, pour les écrire dans l'unité de mémoire 18. En outre, le générateur de parité 63 délivre un signal de parité qui est également transmis à l'unité de mémoire 18.

Le circuit d'émetteur de l'émetteur-récepteur 21 peut être du 5 type illustré par la Fig. 7. Sur cette figure, une horloge d'émission 72 est prévue pour fournir des impulsions d'horloge au synchroniseur d'émission 73. Ce dernier synchronise les impulsions d'horloge émises par l'horloge 72 et l'horloge d'émission du modulateur-démodulateur depuis l'unité d'interface du modulateur-démodulateur 10 jusqu'à la porte d'émetteur synchrone binaire et registre de fonction 70 et au compteur composite 77.

Le circuit 70 de portes et de registres reçoit les données, la file d'attente et les mots de commande de l'utilisateur, avec l'horloge synchronisée et un comptage binaire, un délai et un comptage 15 de synchronisation provenant du circuit de compteur composite 77.

Les données sont transmises du circuit 75 de registre de données à l'unité d'interface de modulateur-démodulateur. Ces données sont transmises par le circuit 70 de portes et de registres, au circuit 75 de registre de données. Le circuit 70 fournit également des signaux d'horloge de registre de données DRC, des signaux SEL, DLE, SEL, SYN, SEL D, SEL S/R et CRC au circuit de registre de données 75. Le circuit de portes et de registres 70 fournit également des signaux SDH, SDX, ENQ, ETB, ETX, ITB, STICK, NAK, de délais et de remplissage DEL, d'arrêt sur DLE et des signaux DLE au circuit 74 20 de commande d'état d'émetteur. Lorsque tous les états sont présents, le circuit 74 de commande d'état d'émetteur retourne un signal au circuit 70 de portes et de registres. Ce dernier fournit également 25 des signaux de comptage de synchronisation d'incrément, de mise à zéro de délai et de comptage de synchronisation de mise à zéro, au circuit 77 de compteur composite.

Les données qui sont transmises par l'intermédiaire du circuit 75 de registre de données sont cyclées pour le circuit 76 d'erreur à l'émission qui effectue un contrôle de redondance cyclique (CRC) lorsque le signal de mode CRC est présent. Le circuit 76 d'erreur 35 à l'émission est décrit plus en détail en regard de la Fig. 9A. Un circuit 71 de mots de commande d'émetteur reçoit également les données d'utilisateur et le mot de commande d'utilisateur et il fournit un signal d'arrêt sur DLE au circuit 70 de portes et de regis-

tes émetteurs et récepteurs. Les blocs de texte peuvent être en outre divisés en blocs de transmission, afin de permettre un contrôle plus efficace des erreurs et des débits de données plus élevés que ne le permettent les blocs de texte. Les blocs de données sont identifiés par une séquence de caractère de commande DLE STX (début de texte), qui précède immédiatement chaque bloc. Chaque bloc de transmission, à l'exception du dernier, est immédiatement suivi par une séquence de caractère de commande DLE ETB (fin de transmission de bloc). Le dernier bloc de transmission d'un bloc de texte est immédiatement suivi par une séquence de caractère de commande DLE ETX (fin de texte). Une liaison de bloc de texte maximale est spécifiée pour chaque liaison de transmission de données basée sur des considérations de mémoire tampon aux postes d'émission et de réception.

Chaque bloc de données émis et les séquences ACK (accepté, 15 poursuivre l'émission) NAK (données non acceptées, par exemple une erreur de transmission a été détectée) et RSP (retransmettre) sont contrôlés en ce qui concerne les erreurs au poste récepteur par l'utilisation d'un contrôle de redondance cyclique qui exécute le contrôle du bloc après qu'il a été reçu.

Après chaque bloc, le poste récepteur répond avec un message de commande ACK si le contrôle de redondance cyclique est correct. Si ce contrôle de redondance cyclique n'est pas correct, le poste récepteur émet un message de commande NAK qui provoque la retransmission du bloc de données par le poste récepteur. La retransmission d'un bloc de données après un message de commande NAK initial est tentée trois fois par exemple. Le poste émetteur ne reçoit aucun message de réponse si le message de réponse contient une erreur de contrôle de redondance cyclique, et le poste émetteur peut demander une retransmission du message de réponse en émettant un message de commande RSP. 50

Le contrôle de redondance cyclique est un procédé de contrôle d'erreur dans les blocs de données. Ce contrôle consiste en une division effectuée par le poste émetteur et le poste récepteur. Le circuit logique d'émetteur est représenté sur la Fig. 9A et le circuit logique de récepteur sur la Fig. 9B. Dans les deux cas, les circuits sont réalisés avec des registres à décalage et les additionneurs. En outre, le circuit logique de récepteur comporte une porte ET 102 qui fournit un signal d'erreur. En utilisant les valeurs binaires

Les procédures de contrôle d'erreur utilisées dans le dispositif duplex synchrone binaire selon l'invention réduisent la probabilité d'accepter un bloc de données ou un message de réponse avec une ou plusieurs erreurs de transmission. La probabilité d'erreur non détectée dans un bloc et le débit peuvent être optimisés pour différentes fréquences d'erreur en ligne en réglant la liaison de blocs de données. Chaque poste règle sa liaison de transmission en utilisant DLE ITB ou DLE ETB afin d'optimiser les performances de la liaison de données. L'examen des codes de caractères de commande donnés dans le Tableau I montrent que deux ou plusieurs erreurs sont nécessaires pour transformer un caractère de commande en un autre. Une seule erreur conduit à une configuration d'erreur tronquée et par conséquent, détectable. La probabilité d'une erreur de caractère de commande non détectée est environ quatre fois P_0^2 , où P_0 est égal à la probabilité d'erreurs en ligne. Les messages de commande ACK, NAK et RSP sont émis en utilisant un contrôle de redondance cyclique et ainsi, ne soulève pas le problème précité.

La commande de la liaison de transmission de données est maintenue par l'utilisation des séquences de commande et des messages de commande ci-après: SYN (inactivité synchrone), DLE STX (début de texte), DLE ITB (fin de bloc de transmission intermédiaire) DLE ETB (fin de bloc de transmission), DLE ETX (fin de texte) ACK (accusé de réception affirmatif), NAK (accusé de réception de message négatif), message RSP (retransmission de message), ACK, NAK ou RSP, DLE SRP (début de message de réponse) et DLE (changement de code sur la liaison de transmission de données).

L'inactivité synchrone SYN est utilisée pour établir et maintenir la synchronisation. Deux SYN contigüs au début de chaque transmission sont désignés par configuration de synchronisation de caractère-phase. Pendant les périodes d'inactivité, des caractères tampon "tous les "1" sont émis plutôt que SYN. La séquence de caractères DLE STX de début de texte précède un bloc de données de texte. Dans le mode d'inactivité, la réception de DLE STX déclenche le mode de texte. La séquence de caractères DLE ETB de fin de bloc de transmission indique la fin d'un bloc de données de texte commencé par DLE STX et provoque un passage au mode d'inactivité. La structure de mise en bloc n'est pas nécessairement liée au format de traitement. Le caractère de contrôle de bloc est émis immédiatement après DLE

TABLEAU III

Utilisation de DLE ITB

D S	D I B	D S	D I B	D S	D I B	D S	D E B
L T TEXTE	L T C						
S X	E B C	E X	E B C	E X	E B C	E X	E X C

Appartient à l'ensemble
du groupe

A	M
C	E
K	S
S	S
S	A
G	G
E	E

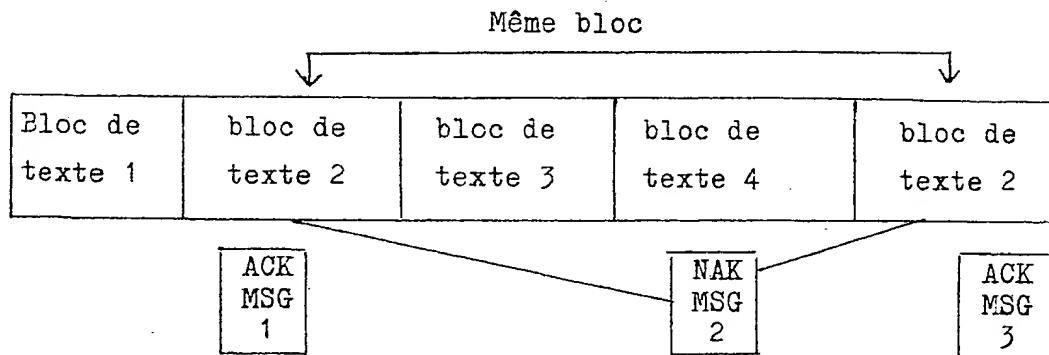
15 L'organisation des blocs de texte est décrite par le Tableau IV. Tous les blocs de texte commencent par DLE STX. Les seize bits qui suivent désignent le numéro de séquence. Ce numéro commence par un zéro et croît jusqu'à $FFFF_{16}$. Lorsque le numéro de séquence de blocs dépasse $FFFF_{16}$, il est ramené à zéro. Les blocs de texte se terminent avec DLE ETX suivi immédiatement de deux multiplets BCC.

20 Les blocs de transmission dans un bloc de texte se terminent par DLE ETB. Les blocs de transmission intermédiaires se terminent par DLE ITB, DLE ETB et DLE ITB sont suivis immédiatement par les deux multiplets BCC.

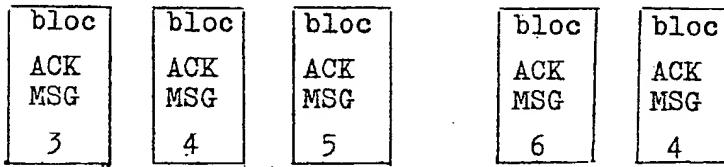
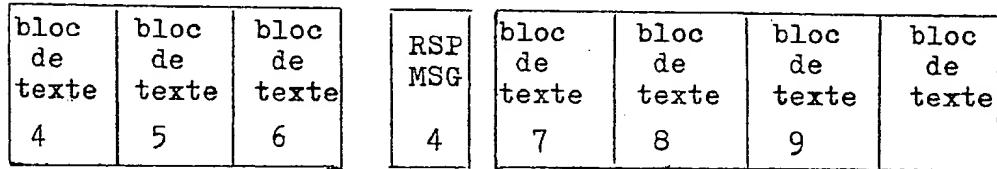
25 Le Tableau V montre le format des messages de réponse. Ces messages sont utilisés comme réponses d'état aux blocs de transmission (ACK, NAK) et sollicitent la retransmission des messages (RSP), ACK, NAK. Tous les messages de réponse commencent par la séquence de caractère DLE SRP. Les seize bits suivants dans le numéro de séquence du bloc de données auquel cette réponse s'applique sont suivis par le caractère de réponse (ACK, NAK, RSP). Après la séquence de commande se trouve la séquence DLE ETX, suivie par le BCC. Le Tableau VI donne un exemple de séquence de message ACK, le Tableau VII donne un exemple de message NAK et le Tableau VIII donne un exemple de séquence de messages RSP.

TABLEAU VII

Exemple de message NAK

TABLEAU VIII

Exemple de message RSP



←
Cette réponse
est perdue ou
erronée quand
elle a été re-
çue au poste
émetteur

↑
Retransmis

sur des circuits concédés. Des liaisons de transmission de données à long retard sont définies comme celles qui introduisent de longs retards entre le moment où les données sont émises et la réponse au moment où elles sont reçues. Plusieurs raisons provoquent ce retard, y compris les longs temps de propagation comme dans le cas de transmission par satellite, et les longs délais de traitement au poste récepteur. Le dispositif selon l'invention résoud ces problèmes par le fait qu'il transmet suffisamment de données pour remplir l'ensemble de la mémoire de la liaison de transmission de données, cette 10 "mémoire" étant définie par le nombre de données qui peuvent être transmises pendant le temps de retard aller et retour. Ce temps de retard aller et retour est égal au temps de propagation aller et retour augmenté du temps de traitement au poste récepteur nécessaire pour retourner une réponse.

15 Pour commencer une transmission, l'émetteur commence l'émission lorsqu'il a des données à émettre. Aucune séquence d'appel en ligne n'est nécessaire car il est supposé que le poste récepteur est toujours prêt à recevoir. Des messages de retard et de réponse amènent éventuellement les deux postes en synchronisme si le récepteur n'est 20 pas prêt à recevoir. Les périodes d'inactivité sont remplies périodiquement avec des blocs de données contenant des bits "0", ainsi qu'il sera décrit plus en détail par la suite.

Avec la procédure ci-dessus, l'émetteur peut émettre autant de données qu'il a de tampons, sans recevoir de réponse. Pour tirer 25 profit au maximum de la liaison de transmission de données, cette quantité de tampons doit être égale ou supérieure à la mémoire de la liaison de transmission de données. Cela peut nécessiter d'avoir davantage de tampons au poste récepteur suivant la manière dont ces tampons sont gérés, en raison des courts blocs de données. Lorsque 30 le poste récepteur reçoit chaque bloc de données, le BCC et le numéro de séquence sont contrôlés. Si le BCC correspond et si le numéro de séquence est supérieur d'une unité au dernier reçu, excepté après une mise à zéro, le récepteur émet un message de réponse ACK avec le même numéro de séquence de bloc. Si le BCC est incorrect, 35 le récepteur émet un message de réponse NAK avec le numéro de séquence de bloc attendu, et augmente d'une unité le dernier numéro de séquence reçu. Si le BCC est correct, mais alors que le numéro de séquence est différent de celui attendu, le poste récepteur se.

Les messages RSP sont différents en ce que la comparaison de séquence est faite sur le numéro de séquence du dernier bloc de données reçu. Pour des numéros de séquence inférieurs au dernier reçu de moins de 2^{15} , avec un NAK en suspens pour le numéro de séquence, 5 le message NAK est retransmis. Si le NAK n'est pas en suspens pour ce bloc, un ACK pour ce numéro de séquence est transmis puisqu'il est supposé que ce bloc a été accepté précédemment. Si le numéro de séquence est en avant du dernier reçu mais à l'intérieur de l'intervalle d'attente, un message NAK est émis pour ce bloc, en supposant 10 qu'il soit manquant. Les autres sont ignorés. Un exemple de message de réponse NAK et de séquence basse est représenté sur le Tableau X. Un exemple d'un message ACK non compris est représenté sur le Tableau XI. Un exemple de numéro de séquence élevé est représenté sur le Tableau XII.

15 Les exemples donnés jusqu'ici ont montré des données transmises dans un sens et des réponses transmises dans l'autre sens. Le dispositif de transmission duplex synchrone binaire à blocs multiples selon l'invention est destiné à écouler du trafic de données et de réponses dans les deux sens afin d'assurer un fonctionnement entièrement duplex, les messages de réponse étant émis entre les blocs de données; autrement dit, entre la fin d'un bloc (ETB ETX) et le début d'un autre bloc. Les messages de réponse ne sont pas émis entre des blocs de texte intermédiaires. Du fait que le dispositif de transmission duplex synchrone à blocs multiples est symétrique dans 20 les deux sens, les exemples des tableaux ci-dessus correspondent à un côté de la ligne, l'autre côté se présentant de manière identique, 25 à l'exception de la mise en phase. Le Tableau XIII illustre un fonctionnement en duplex.

TABLEAU XII

Exemple de numéros de séquence élevé

manquant au
récepteur

bloc 1	bloc 2	bloc 3	bloc 4	bloc 5	bloc 6
--------	--------	--------	--------	--------	--------

ACK MSG 1	NAK MSG 2	ACK MSG 3
-----------------	-----------------	-----------------

TABLEAU XIII

Fonctionnement MBSD en duplex

bloc											
4	ACK	5	NAK	ACK	6	7	ACK	8	ACK	9	
	MSG		MSG	MSG			MSG		MSG		
	10		11	12			13		14		

bloc ACK MSG 3	bloc 11	bloc 12	bloc ACK MSG 4	bloc 13	bloc 11	bloc ACK MSG 5	bloc ACK MSG 6	bloc 15	bloc ACK MSG 7	bloc 16
-------------------------	------------	------------	-------------------------	------------	------------	-------------------------	-------------------------	------------	-------------------------	------------

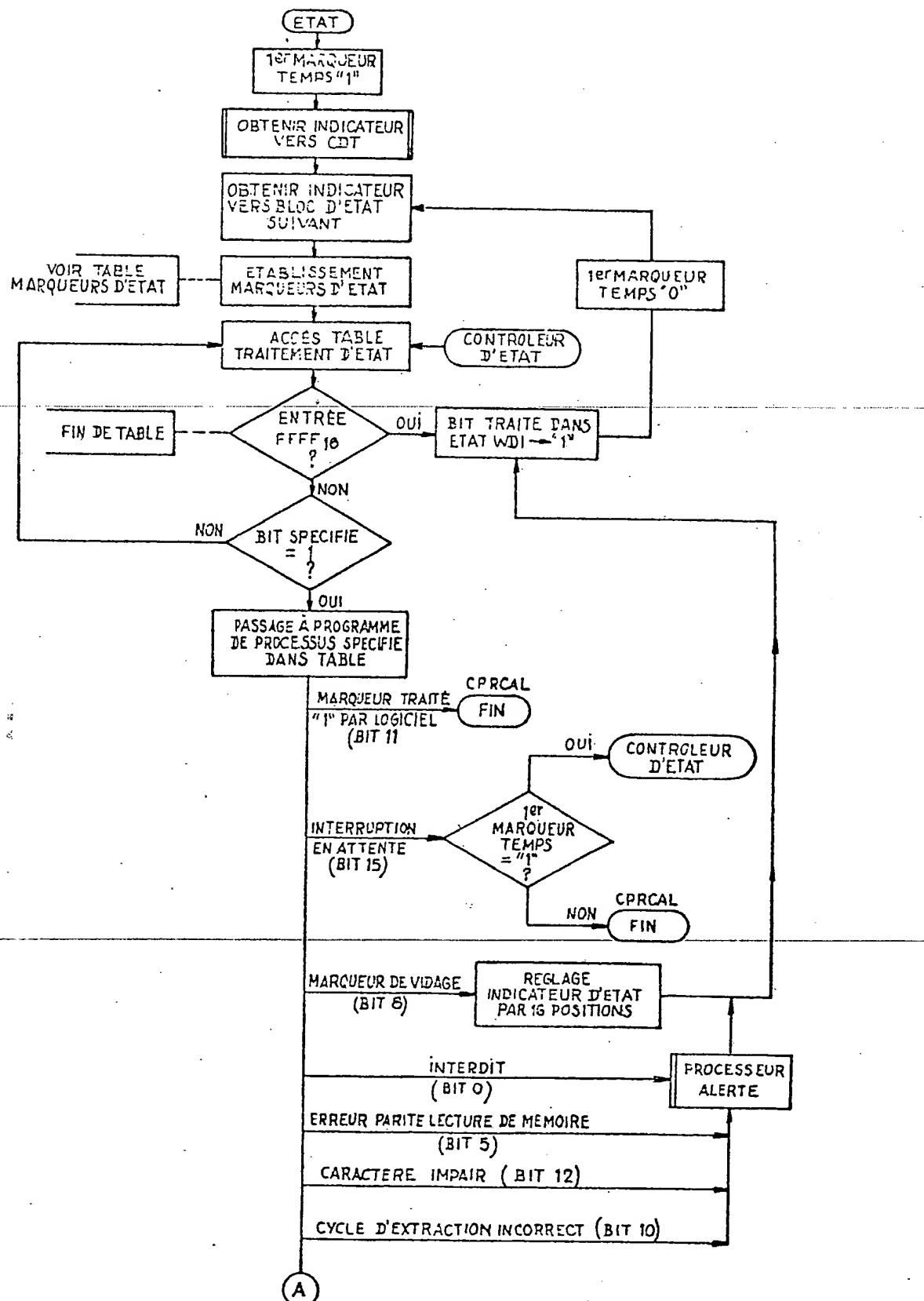
jusqu'à ce qu'il reçoive un accusé de réception positif.

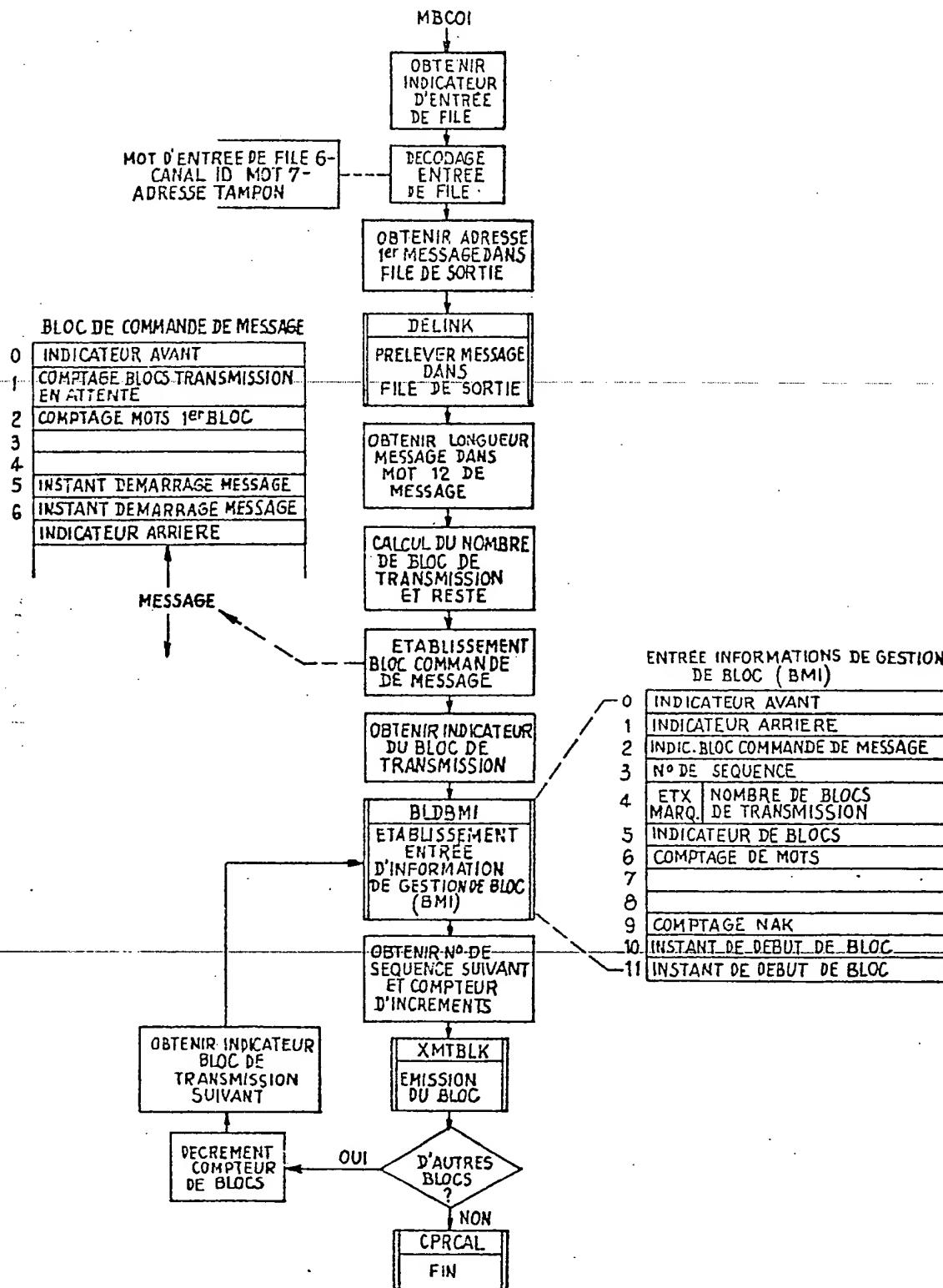
Le Tableau XIV donne une vue générale du logiciel manipulateur de transmission. Le manipulateur consiste en sept segments : l'initiateur d'émission 21 (MBCOBI) (Tableau R-II); la maintenance des 5 chaînes d'émission 22 (XMITER), (Tableau R-IV); l'interpréteur d'états 23 (STATUS), (Tableau R-I); l'interpréteur d'émission 24 (XMTINT) (Tableau R-V); la maintenance des chaînes de réception 25 (RCVR) (Tableau 5-VI); l'interpréteur de réception 26 (RCVINT) (Tableau R-VII); et le groupeur de messages 27 (UNIFY) (Tableau R-VIII).

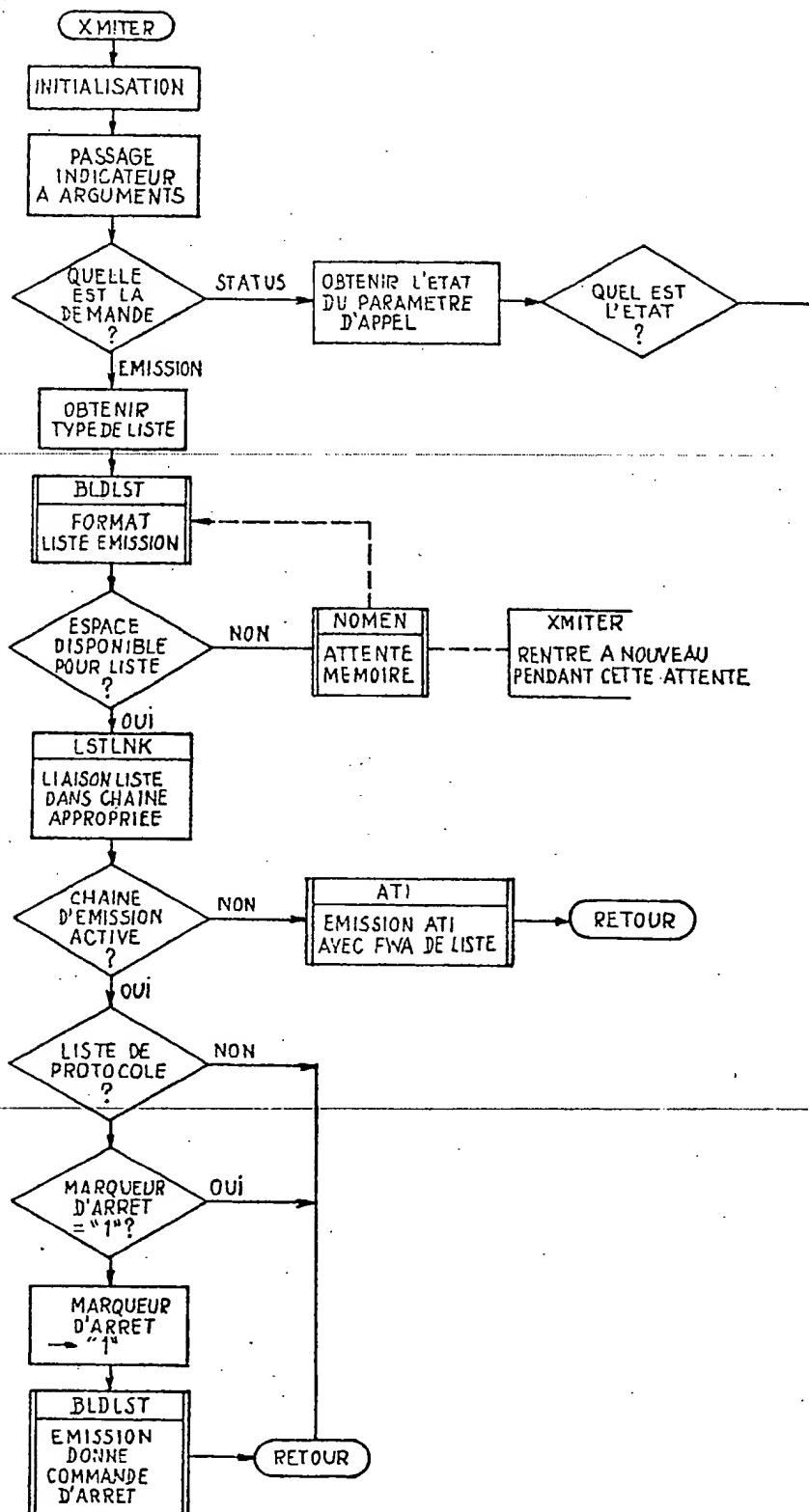
10 Ces segments utilisent les files d'attente ci-après: Une file d'attente de sortie; une file d'attente active (BMI); une chaîne d'émission; une chaîne de réception; une file de blocs de transmission en attente; une file d'attente d'entrée; une liste NAK; une chaîne de protocole en attente; et une file BMI d'attente.

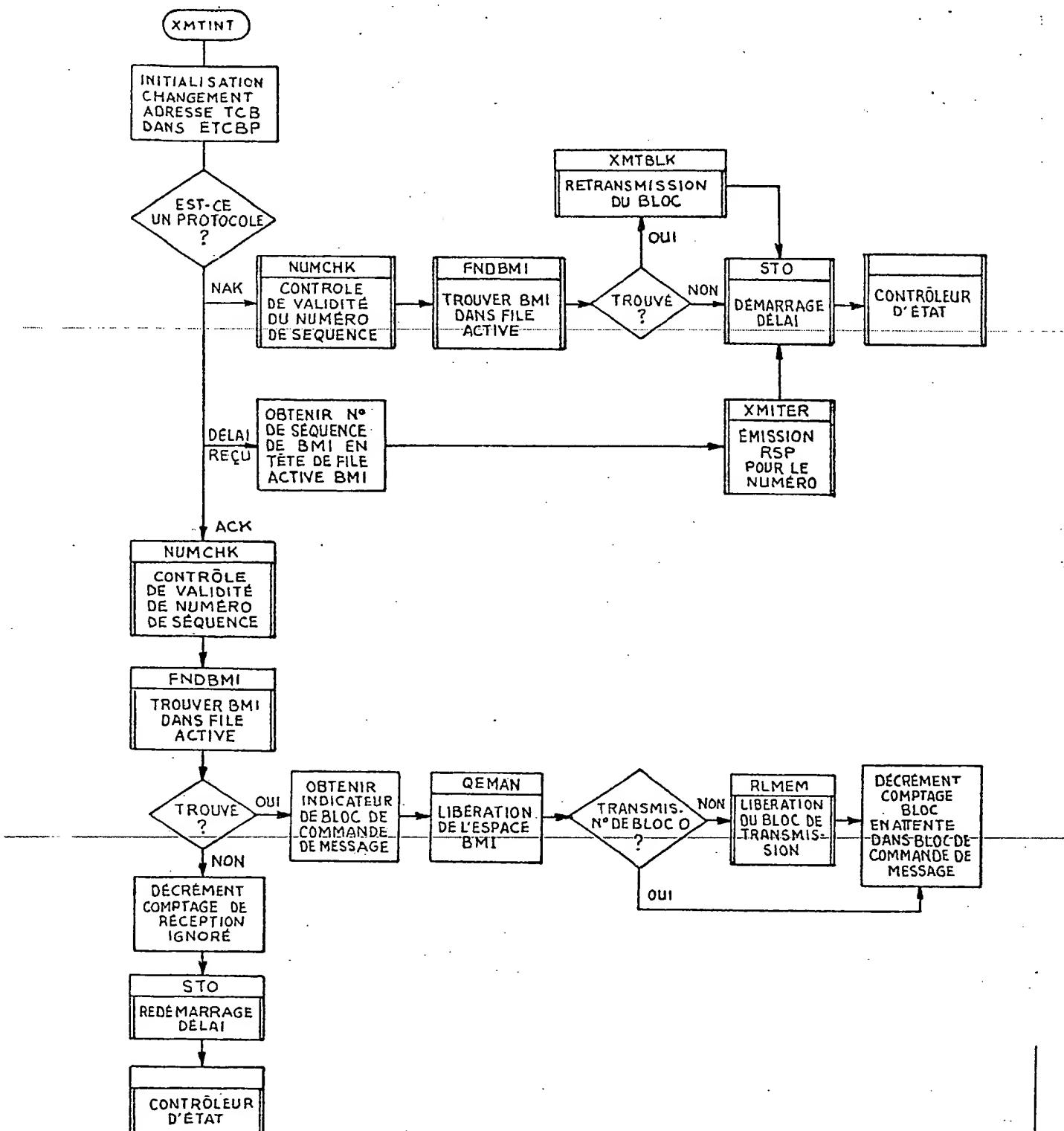
15 Lorsque le commutateur de message reçoit un message à émettre, il le place dans la file de sortie et effectue une entrée de file pour l'initiateur d'émission, Tableau R-II. Si l'initiateur d'émission obtient l'exécution, un numéro de séquence de transmission est affecté au message et le segment XMITER (Tableau R-IV) est sollicité 20 pour placer le message sur la chaîne d'émission. L'initiateur prélève le message dans la file de sortie et effectue une entrée pour ce message dans la file active. L'initiateur exécute l'opération ci-dessus chaque fois qu'il obtient l'exécution en raison d'une entrée de file du commutateur de message.

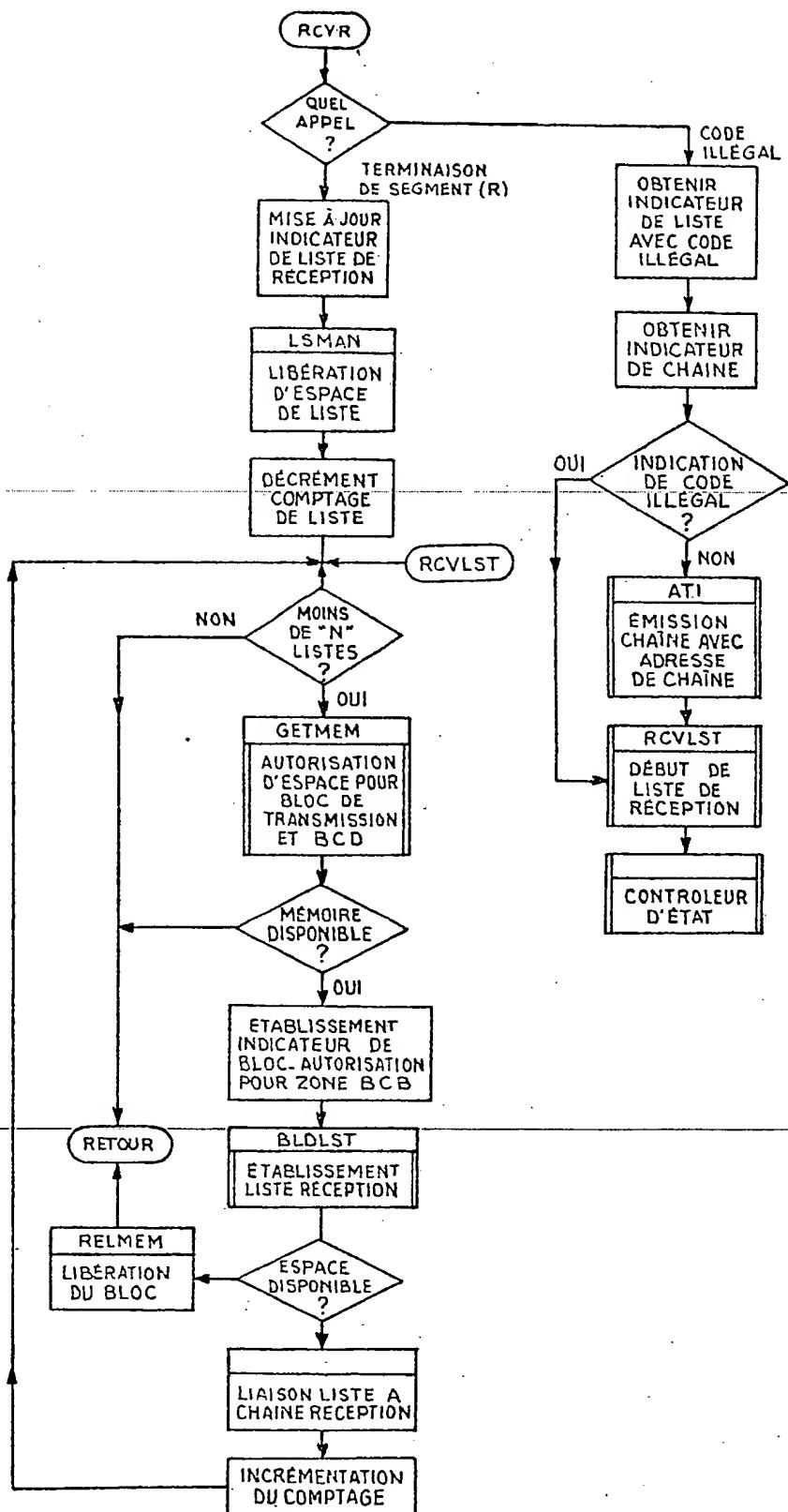
25 Lorsqu'une réponse à un message est reçue, la commande est passée à l'interpréteur d'émission du Tableau R-V. Le message spécifié par la réponse est trouvé dans la file active, et il est relâché de la mémoire libre (dans le cas d'un ACK) ou il est retransmis (dans le cas d'un NAK).

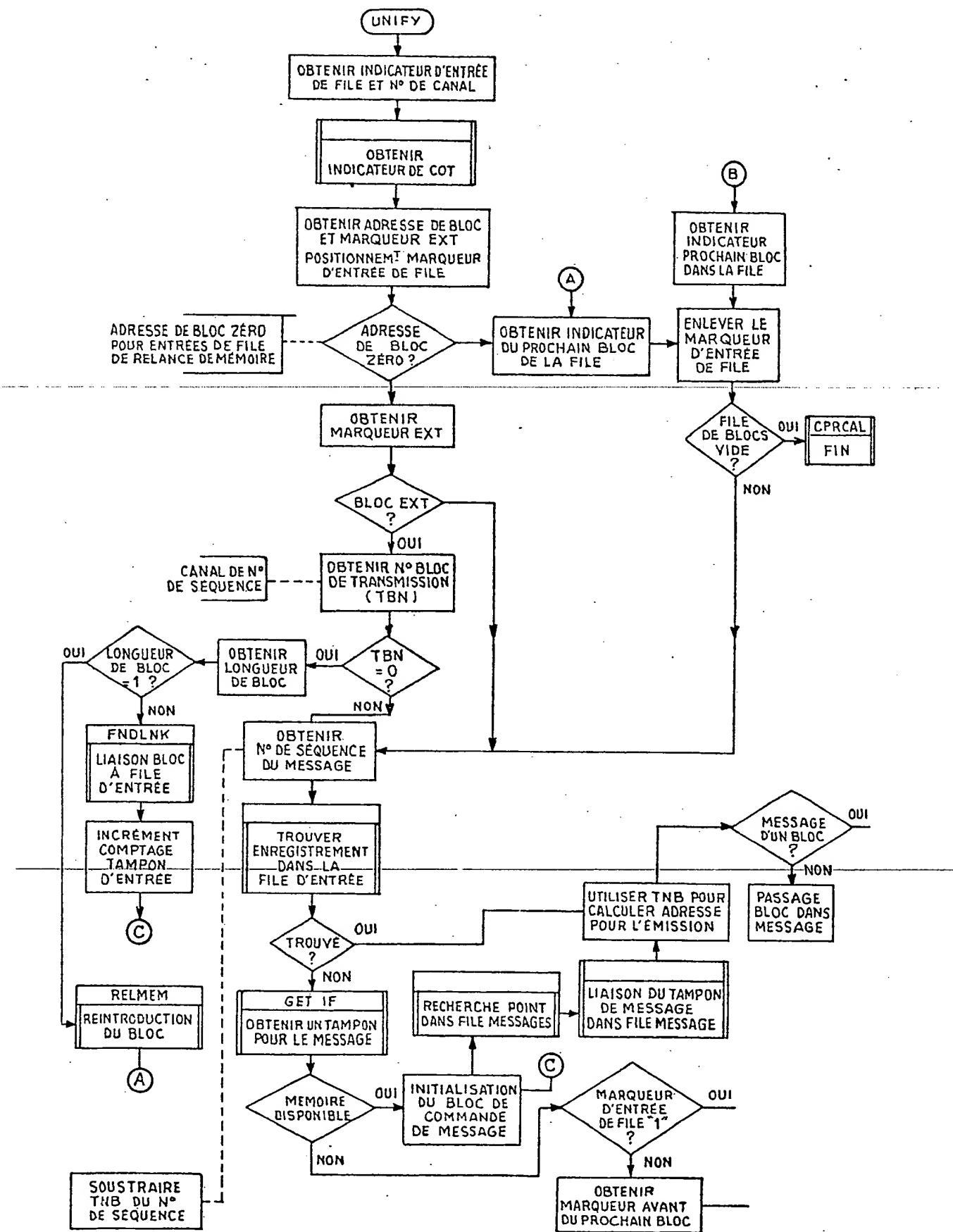












Le programme de maintenance de chaîne de récepteur maintient des listes de réception qui attendent un message. Lorsqu'un message est reçu, une commande est passée à l'interpréteur de réception (Tableau R-VIII) qui le met en file d'attente sur le groupeur de 5 messages et émet une réponse. Les messages sont émis comme un ensemble de blocs de transmission. Ces blocs de transmission sont reçus dans des positions de mémoire non contigues. Le groupeur de messages (Tableau R-VIII) déplace les blocs de transmission dans un bloc de mémoire et les place dans l'ordre correct. Le message est ensuite 10 placé dans la file d'attente d'entrée de manipulateur et le commutateur de message est mis en file.

Le manipulateur dessert plusieurs canaux. Chaque canal comporte un groupe de tables de canaux. Le contenu des tables est représenté sur les Tableaux S-I, S-II et S-III. La table S-II d'espace auxiliaire 1 contient les indicateurs de file d'attente pour le manipulateur et une table S-III d'espace auxiliaire 2 contient des statistiques pour le canal. L'état du canal est maintenu dans la table S-I de données de canaux.

La structure du manipulateur est décrite ci-après. L'interpréteur d'état utilise les trois tables pour déterminer l'action à prendre lors du contrôle de l'état. L'état CI est représenté sur le Tableau S-IV et l'état TR est représenté en S-V. L'interpréteur d'état utilise la table S-VI de traitement d'état pour déterminer l'ordre dans lequel les bits d'état doivent être contrôlés et quelle 25 action doit être entreprise si le bit est présent. Ce programme est illustré par l'organigramme du Tableau R-I. L'interpréteur d'état contrôle les bits d'état dans l'ordre dans lequel ils apparaissent dans la table S-VI de traitement d'état.

Certains bits d'état sont utilisés comme marqueurs pour l'interpréteur. La table S-VII de marqueurs d'état est utilisée pour positionner les marqueurs appropriés. Certains d'entre eux sont le marqueur SRP et le marqueur de bloc court.

Lors du contrôle d'une entrée d'état, l'interpréteur positionne d'abord les marqueurs d'état, ainsi que spécifié dans la table 35 de marqueurs d'état. L'interpréteur contrôle ensuite les bits spécifiés dans la table de traitement d'état et exécute les actions appropriées pour les bits qui sont à l'état "1".

Espace auxiliaire 1 - Table S-II

- 0 Début de chaîne d'émission
- 1 Fin de chaîne d'émission
- 2 Début de file de récupération à l'émission
- 3 Fin de file de récupération à l'émission
- 4 Début de chaîne protocole en attente
- 5 Fin de chaîne protocole en attente
- 6 Début de file blocs active
- 7 Fin de file blocs active
- 8 Début de chaîne réception
- 9 Fin de chaîne réception
- 10 Début de file de blocs reçus
- 11 Fin de file de blocs reçus
- 12 Début de liste NAK
- 13 Fin de liste NAK
- 14
- 15
- 16 Nombre de délais sans une réponse valable
- 17 Nombre de NAK émis sans un bloc valable
-
-
-

Espace auxiliaire 2 - Table S-III

- 0 Nombre de RSP en attente.
- 1 Nombre de blocs en attente sur ACK
- 2 Total de NAK reçus
- 3 Total de NAK émis
- 4 Nombre de NAK en attente
- 5 Nombre de RSP reçus
- 6 Total des délais
- 7 Total des délais de texte
- 8 Total des dépassements
- 9 Total des CRC ou erreurs de parité
-
-
-

Table de traitement d'état - S-VI

0	Numéro ₁ de bit
1	Adresse ₁ de branchement
2	Numéro ₂ de bit
3	Adresse ₂ de branchement
4	.
.	.
.	.
2n-2	Numéro _n de bit
	Adresse _n de branchement
	FFFF ₁₆

Table de marqueurs d'état - S-VII

0	Mot #	bit # 1
1	Adresse ₁ de marqueur	
2	Mot #	bit #.
3	Adresse ₂ de marqueur	
4	.	
.	.	
.	.	
2n-2	Mot #	bit #
	Adresse _n de marqueur	
	FFFF ₁₆	

Code interne d'états - Tableau S-VIII

<u>Code interne</u>	<u>Etat</u>
1	Erreur CRC
2	Dépassement tampon
3	Délai de texte
4	Code de commande illégal (R)
5	Code de commande illégal (T)
6	Délai réception
7	Terminaison segment (R)
8	Terminaison segment (T)

Code interne de protocole - Tableau S-IX

<u>Code interne</u>	<u>Protocole</u>	<u>Code ASCII</u>
20	ACK	86
21	NAK	15
22	NAKD	
23	RSP	85
24	ETB	97
25	ETX	83

Entrée de file d'initiateur - Tableau S-XII

0	Indicateur avant
1	Indicateur arrière
2	Adresse TCB initiateur
3	Adresse TCB de commutateur de message
4	Indicateur de libération de début (=0) Indicateur de libération de paramètre (=1)
5	
6	Canal ID
7	Adresse de tampon

Bloc de commande de message (BCB - Tableau S-XIII
pour message)

0	Indicateur avant
1	Comptage de blocs de transmission en attente
2	Comptage de mots du premier bloc
3	
4	
5	Instant de début de message
6	Instant de début de message
7	Indicateur arrière
8	Message
.	
.	
.	

Le programme XMTBLK ou programme "émission de bloc" relie l'entrée d'information de gestion de bloc (BMI) à la fin de la file active. Le bloc de transmission est ensuite émis, précédé par ses deux mots de numéro de séquence et de numéro de bloc de transmission. Le 5 bloc de transmission est émis sous forme de plusieurs blocs de transmission intermédiaires (suivant la dimension de mise en blocs de transmission intermédiaires). Le Tableau XV illustre la file active BMI. Le programme XMTBLK sollicite l'élément de maintenance de chaîne d'émission (XMITER) pour obtenir une liste ATI établie et liée 10 à chaque appel.

L'élément de maintien de chaîne d'émission (XMITER) du Tableau R-IV est sollicité par tout élément qui souhaite émettre des données ou un protocole. Lorsqu'une demande d'émission est posée, la liste appropriée est établie et, si cette liste concerne un transfert de 15 données, elle est liée à la fin de la chaîne d'émission. Si la liste concerne un protocole, elle est liée à la fin d'une chaîne de protocole en attente et une commande d'arrêt est émise vers le CSCI (à moins qu'une demande d'arrêt ait déjà été émise).

Le fonctionnement des circuits s'arrête lorsqu'une autorisation 20 d'arrêt est détectée dans la chaîne de transmission. L'interpréteur d'état passe la commande au programme XSMITER lorsque l'état d'arrêt est détecté. Le protocole en attente est lié à la tête de la chaîne de transmission et un ATI est émis pour poursuivre l'exécution de la chaîne. L'autorisation d'arrêt n'est pas placée dans les listes de 25 protocole. Si aucun protocole n'est dominant, dont l'état d'arrêt est desservi, un ATI immédiat est émis pour démarrer la chaîne à nouveau. Les blocs de transmission de récupération reçoivent la priorité du protocole pour le processus de liaison. L'interpréteur d'émission, Tableau R-V, maintient une file d'attente BMI active, comme le montre le Tableau XV, qui est liée à l'ordre dans lequel les 30 réponses sont attendues. Lorsqu'un état d'arrêt est détecté, la chaîne d'émission est explorée à la recherche de la première liste "type d'émetteur". Le numéro de séquence dans la liste est transmis à l'interpréteur d'émission qui met à jour sa file d'attente BMI active. Un marqueur est placé dans chaque liste pour indiquer si 35 elle est déclenchée par l'émetteur, le récepteur, ou aucun d'entre eux.

Le programme XMITER libère de l'espace de liste chaque fois qu'une terminaison de segment se produit sur la chaîne d'émission. L'interpréteur d'état passe la commande à XMITER lorsqu'il détecte un état "T" de terminaison de segment. Du fait que les listes de transfert de données sont liées à la fin de la chaîne d'émission sans arrêter le CSCI, un code illégal est toujours mémorisé dans la dernière liste de la chaîne pour indiquer quand les circuits ont terminé la chaîne d'émission. Des codes illégaux sont également utilisés pour la chaîne de réception. Le bit 7 dans le code illégal indique une liste d'émission s'il est placé à "1". Les bits 12 à 15 sont utilisés pour identifier la liste qui contient le code illégal. Lorsqu'une liste d'émission (ou de réception) est établie, le programme d'établissement de liste attribue un code illégal à la liste et mémorise l'adresse de liste dans une table S-XVI de codes illégaux. Le code illégal est déterminé en utilisant le prochain numéro disponible et en augmentant ensuite d'une unité le numéro pour la liste suivante. Le code illégal contient toujours le bit "0". Le numéro d'identification de code illégal se classe toujours entre "0" et un SYSGEN.

20 Lorsqu'un état de code illégal est détecté, l'interpréteur d'état contrôle si le bit 7 est "1" ou "0". Si le bit 7 est "1" la commande est passée à XMITER. Du fait que le bit de terminaison de segment n'est pas à l'état "1" dans la dernière liste de la chaîne, la liste dans laquelle le code illégal se présente est libérée par XMITER. Si certaines listes sont liées à la chaîne avant que l'état de code illégal ne soit desservi, un ATI est émis pour les nouvelles listes. Tout protocole en attente est lié à la tête de la chaîne d'émission sur un code illégal.

Les chaînes de listes, les listes de récupération et la file d'attente EMI nécessitent toutes de petits tronçons de mémoire de longueurs variées. Ces petits tronçons sont retrouvés dans la mémoire libre sollicitant d'abord un bloc de 128 mots. Le bloc de 128 mots est ensuite attribué aux segments qui ont besoin d'espace de liste. Lorsque le bloc est entièrement, ou presque entièrement réservé et qu'un autre élément a besoin de place, une autre demande est posée pour un bloc de 128 mots. Les blocs sont liés ensemble et le dernier bloc demandé (ou le dernier retrouvé) est à la tête de la

TABLEAU S-XVIIBloc d'espace de liste de 128 mots

Bit en Longueur de bloc
réserve

Indicateur avant

Indicateur arrière

Bits de réserve (mot 1)

Bits de réserve (mot 2)

Quatre mots (bit 15, mot 1)

Quatre mots (bit 14, mot 1)

Quatre mots (bit 0, mot 2)

Bit en Longueur de bloc
réserve

TABLEAU S-XVIIIFormat message SRP

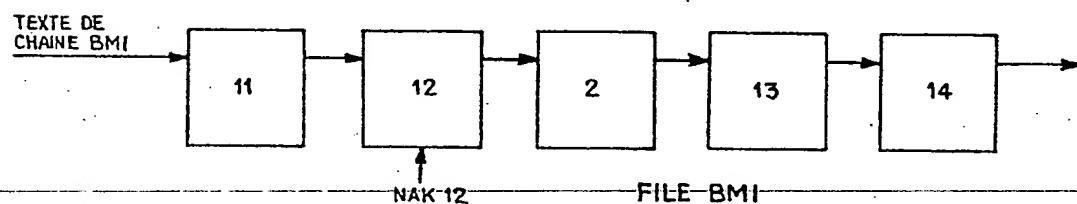
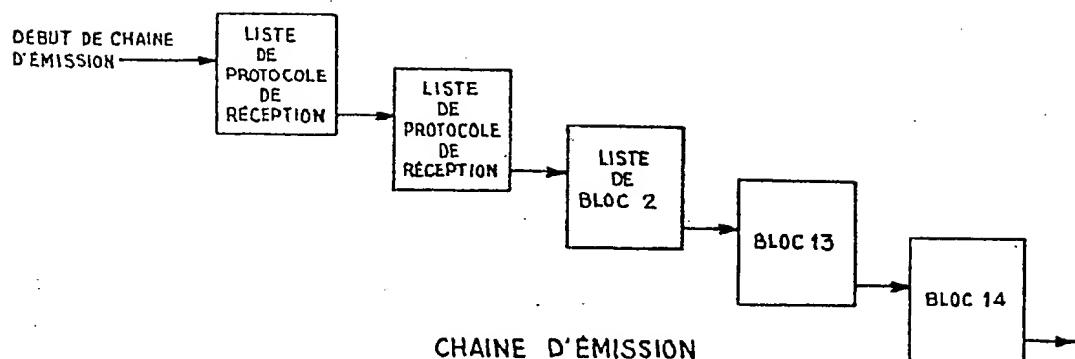
→ ← 16 Bits

← 16 Bits → 16 Bits → 8 Bits → 16 Bits →

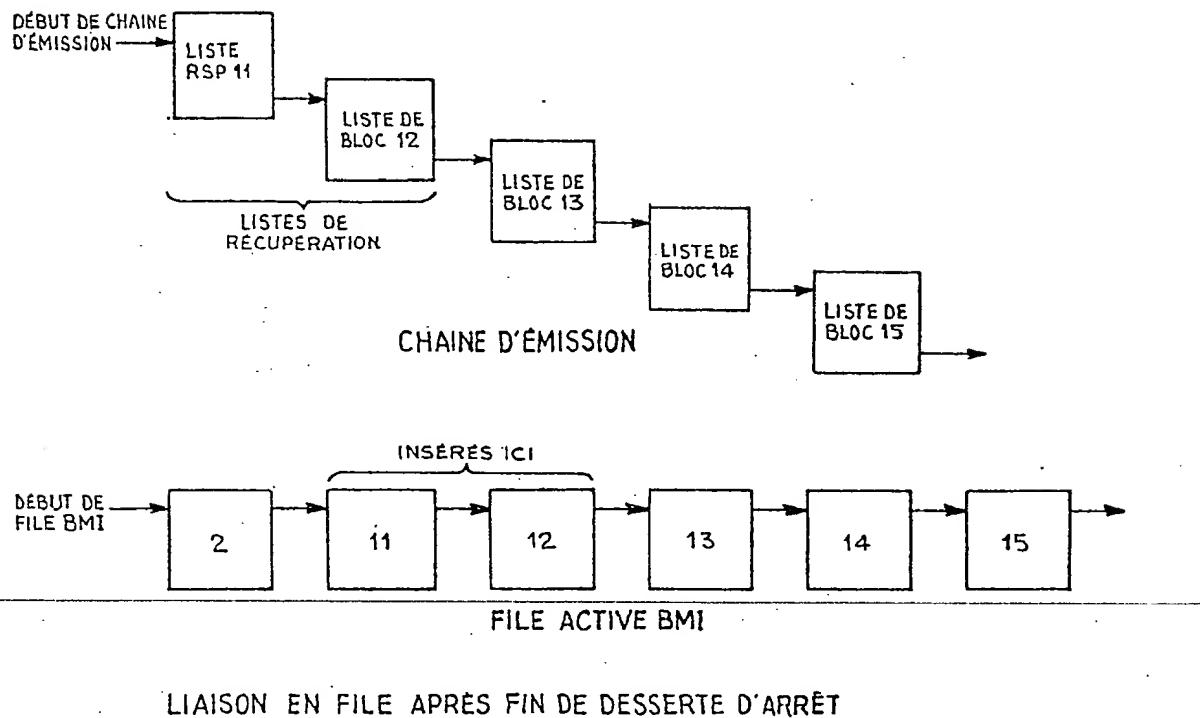
DLE	N° de	Caractère	DLE	B
SRP	séquence	de réponse	ETX	C
				C

Un caractère de protocole est émis dans un message SRF avec un numéro de séquence correspondant, ainsi que le montre le Tableau S-XVIII. La validité du numéro de séquence est contrôlée en le comparant au numéro de séquence attendu. Si le numéro de séquence reçu 5 est inférieur au numéro attendu, la file d'attente active BMI, ainsi que le montre le Tableau XV est explorée à la recherche du numéro reçu. Si ce numéro n'est pas trouvé dans la file active BMI, ou si ce numéro est supérieur à celui attendu et se trouve à l'extérieur de l'intervalle d'acceptation, le protocole est ignoré et le délai 10 de réception est démarré à nouveau pour autoriser le protocole mauvais. Si le numéro apparaît comme valide, la file d'attente active BMI représentée sur le Tableau S-XIV, en liaison avec le Tableau XV, est explorée à la recherche d'une entrée correspondant au numéro de séquence. Si aucune entrée n'est trouvée, le protocole est 15 traité comme non valable. Si le numéro est valable mais supérieur au numéro attendu, des RSP sont émis pour les numéros manquants. Cette validation de numéro de séquence se produit aussi bien pour les ACK que pour les NAK.

La file d'attente active BMI représentée sur le Tableau S-XIV, 20 en liaison avec le Tableau XV, est liée dans l'ordre dans lequel les réponses de blocs sont attendues. Si une réponse n'est pas reçue dans l'ordre, un message RSP est émis pour chacune des réponses manquantes. Le BMI de chaque bloc qui contient une réponse manquante est lié à la fin d'une file de récupération d'émission, à moins que 25 la file d'attente active BMI ne soit vide. Egalelement, si un NAK pour un bloc est reçu, le BMI pour le bloc est lié à la file d'attente de récupération d'émission. Pour lier un protocole ou des blocs de récupération à la chaîne d'émission, le programme XMTIR arrête les circuits. Si l'état d'arrêt est traité par XMITER et que le protocole et les blocs de récupération sont liés à la chaîne d'émission, 30 XMTIR retourne le numéro de séquence de la liste du type "émetteur" le plus proche du début de la chaîne d'émission avant que l'opération de nouvelle liaison soit exécutée. Le numéro de séquence retourné est utilisé pour trouver le point où les entrées de file d'attente de récupération d'émission ne sont pas liées dans la file d'attente active BMI.



EXEMPLE DE CHAINE D'EMISSION ET DE FILE BMI



Le programme RCVR continue à essayer d'établir des listes de réception jusqu'à ce qu'une limite de liste soit atteinte ou qu'aucune place de mémoire ne soit plus disponible. Une demande est faite à GETMEM d'un bloc de mémoire de la longueur d'un bloc de 5 transmission, plus huit mots. Si aucune place de mémoire n'est disponible, la commande est repassée au programme solliciteur. Si de la mémoire est disponible, une liste est établie pour recevoir ce bloc de mémoire. De l'espace est affecté à un bloc de commande de tampon de huit mots. Les deux premiers mots de texte sont le numéro 10 de séquence, Tableau S-XV. Ces deux premiers mots de texte sont reçus dans le bloc de commande de tampon aux mots 6 et 7. La liste de réception est liée à la fin de la chaîne de réception et le comptage des listes est incrémenté. RCVR passe alors à l'établissement d'autres listes, comme décrit ci-dessus.

15 Un code illégal pour le récepteur indique que la chaîne de réception a été terminée par les circuits. RCVR contrôle si d'autres listes sont liées à la chaîne lorsqu'elle a été terminée, mais avant que l'état de code illégal soit desservi. Si d'autres listes existent, elles sont émises à nouveau par un ATI. Le programme RCVR est 20 sauf maintenant d'établir d'autres listes de réception, comme décrit ci-dessus. Si aucune place de mémoire n'est plus disponible pour recevoir d'autres listes de réception, ou si la limite de comptage de listes est atteinte, la commande est passée à l'interpréteur d'état.

25 De l'espace pour les listes de réception est demandé par le programme de gestion d'espace de liste, et libéré pour lui. Ce programme de gestion d'espace de liste est décrit ci-dessous.

L'interpréteur de réception (RCVINT) du Tableau R-VII est mis en exécution par l'interpréteur d'état lorsque le protocole ou l'état applicable au récepteur est détecté. Lorsqu'il prend l'exécution, l'interpréteur de réception RCVINT remplace le contenu de ETCBP (indicateur de bloc de commande de tâches en exécution) par l'adresse de son propre bloc de commande de tâche.

Si RCVINT doit attendre la mémoire, l'interpréteur d'état et 35 l'interpréteur d'émission peuvent poursuivre l'exécution. Si l'interpréteur de réception RCVINT reçoit la commande pour le protocole (RSP), les blocs de données et les erreurs (erreurs CRC, dépassement et délai de texte).

TABLEAU S-XIX

Bloc de commande de tampon pour l'entrée au groupeur de messages

0	Indicateur avant	
1	N° de séquence	
2	Marqueur ETX	N° de bloc de transmission
3	Longueur de bloc	
4		
5		
6	Réservé	
7	Indicateur arrière	
	↑	
	Données	
	↓	

TABLEAU S-XX

Entrée de file de groupeur

0	Indicateur avant
1	Indicateur arrière
2	Adresse TCB UNIFY
3	Adresse TCB récepteur
4	SI PRI
5	
6	Canal ID
7	Adresse de bloc

TABLEAU S-XXIFormat de segment de liste NAK

Indicateur avant
Indicateur arrière
N° d'intervalles vides
Prochain intervalle disponible
Entrée 1
Entrée 2
.
.
Entrée n
Intervalle 1
Intervalle 2
.
.
Intervalle m

TABLEAU S-XXIITable de file de canal

0	Indicateur de table d'entrée de file pour canal 0
1	Indicateur de table d'entrée de file pour canal 1
2	.
3	.
4	.
5	
6	
7	Indicateur de table d'entrée de file pour canal 7

Marqueur canal 0
Marqueur canal 1

positionner le bloc de message lorsqu'un bloc de transmission est reçu pour ce message. Lorsqu'un bloc de transmission est reçu, le numéro de séquence du bloc de message est déterminé en soustrayant le numéro de bloc de transmission du numéro de séquence du bloc. La 5 file d'entrée des blocs de message est ensuite explorée à la recherche de ce bloc de message. Si ce dernier n'est pas dans la file, la mémoire est sollicitée pour un bloc de message. Si de la mémoire est disponible, le bloc de commande de message est mis en format comme le montre le Tableau S-XXIII, et le message est lié à la file d'entrée.

La file d'entrée est maintenue ordonnée, avec le message de numéro inférieur en tête de la file. Le message en tête de file est terminé et il est transféré au commutateur de message avant tout autre message. Chaque fois qu'un bloc de message doit être lié à la 15 file d'entrée, UNIFY explore la file à la recherche du point d'insertion du bloc, basé sur le numéro de séquence.

Lorsque le bloc de message est trouvé, le numéro de bloc de transmission est utilisé pour calculer l'adresse à laquelle les données doivent être mémorisées. Le numéro de bloc de transmission (TBN) 20 est multiplié par sa longueur (TBS) et additionné à la première adresse de mot du message. Les données sont transférées du bloc de transmission au bloc de message. Si le marqueur ETX est à l'état "1" pour le bloc de transmission, le numéro de bloc de transmission est mémorisé dans le bloc de commande de message, Tableau S-XXIII. Lors- 25 que le nombre de blocs reçus pour le message est égal au numéro de bloc de transmission du bloc ETX, augmenté d'une unité, le message est terminé.

Lorsqu'un bloc ETX a été reçu, la longueur du message est connue et l'espace inutilisé dans le bloc de message est libéré si plus 30 de 64 mots ne sont pas utilisés. Le bloc de transmission est libéré pour la mémoire libre après que les données qu'il contenait ont été passées au bloc de message. Les blocs de transmission contenant le message entier sont liés à la file d'entrée et ne sont pas libérés.

Lorsqu'un message a été terminé, UNIFY contrôle si le message se trouve ou non à la tête de la file. S'il se trouve à la tête de la file, le message est passé au commutateur de message, puis UNIFY contrôle si le message suivant de la file d'entrée est terminé, et 5 il passe au commutateur de message s'il est prêt. Si le message en tête de la file d'entrée n'est pas terminé, la file de blocs de transmission en attente est explorée.

Lorsque UNIFY ne peut obtenir de mémoire pour un bloc de message, le bloc de transmission que UNIFY a traité est lié à la fin de 10 la file de blocs de transmission en attente, et une entrée de file "non mémoire" est faite pour le canal. Chaque fois que UNIFY termine le traitement d'un bloc de transmission, il recherche des entrées dans la file de blocs de transmission en attente et traite les blocs de transmission de la file. UNIFY tente de traiter chaque bloc de la 15 file, même si certains peuvent être sautés en raison d'un manque de mémoire pour un bloc de message. Lorsque toute la file a été contrôlée ou traitée, la commande est transférée au processeur d'appel. Le bloc de transmission en attente est maintenu en ordre de bas en haut de sorte que la file d'entrée est également ordonnée.

20 Différents modes de réalisation de l'invention ont été décrits en détail. Mais il faut noter que les descriptions de ces modes spécifiques de réalisation ne sont que des exemples et que de nombreuses modifications peuvent y être apportées sans sortir du cadre de l'invention ni de son esprit.

des erreurs, lorsque ledit poste émetteur devient disponible, et un dispositif monté dans ledit poste émetteur et qui réagit aux codes d'identification reçus dudit poste récepteur en retransmettant vers ledit poste émetteur, seulement ceux des blocs de données qui contenaient des erreurs.

7 - Dispositif selon la revendication 6, caractérisé en ce que ledit poste récepteur comporte également un dispositif destiné à contrôler si les blocs de données reçus contiennent des erreurs.

8 - Dispositif selon la revendication 7, caractérisé en ce que ledit dispositif destiné à contrôler les données reçues comporte un dispositif destiné à diviser la valeur numérique binaire du bloc de données par une constante et un dispositif destiné à comparer le reste de ladite division avec un reste fourni par ledit poste émetteur pour le même bloc de données.

15 9 - Dispositif selon la revendication 8, caractérisé en ce que ledit poste émetteur comporte également un dispositif destiné à diviser la valeur numérique binaire de chaque bloc de données par une constante, et à émettre un code représentant le reste de cette division vers ledit poste récepteur.

20 10.- Dispositif selon l'une quelconque des revendications 6 à 9, caractérisé en ce que lesdits postes émetteur et récepteur comportent tous deux des émetteurs et des récepteurs identiques destinés à transmettre simultanément des blocs de données du poste émetteur au poste récepteur et du poste récepteur au poste émetteur.

2266389

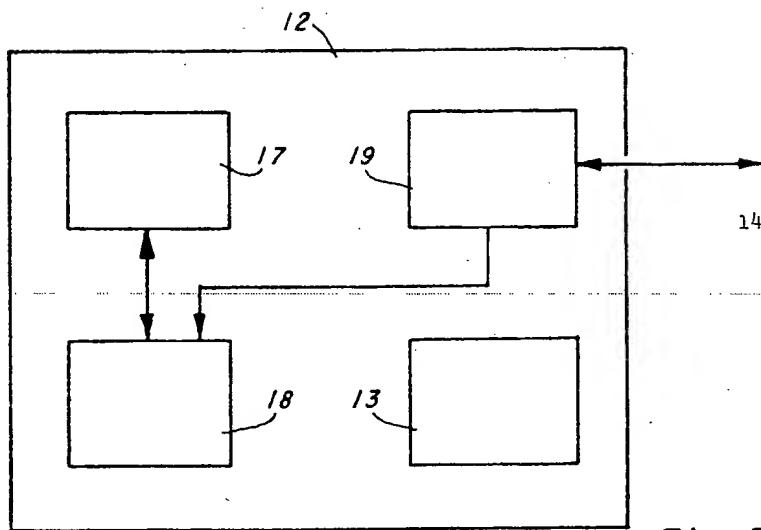


Fig. 3

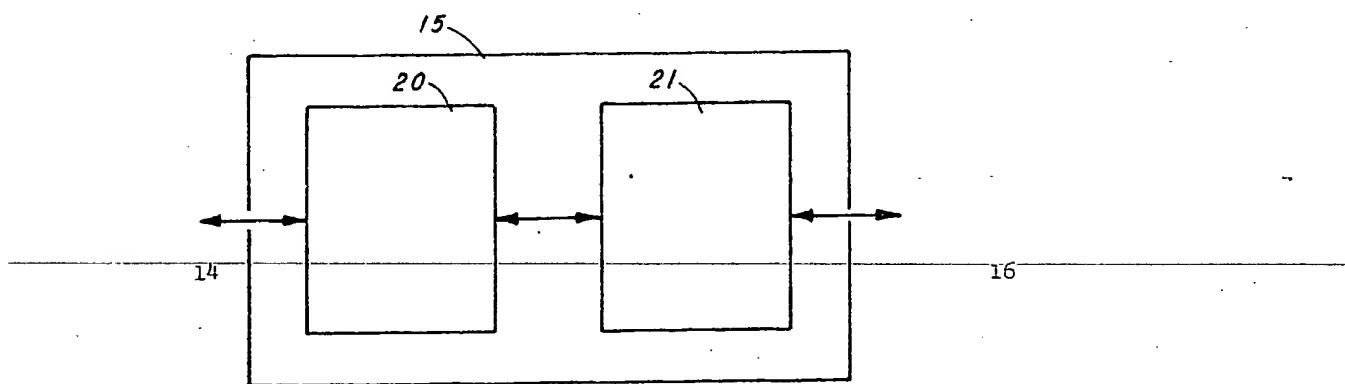


Fig. 4

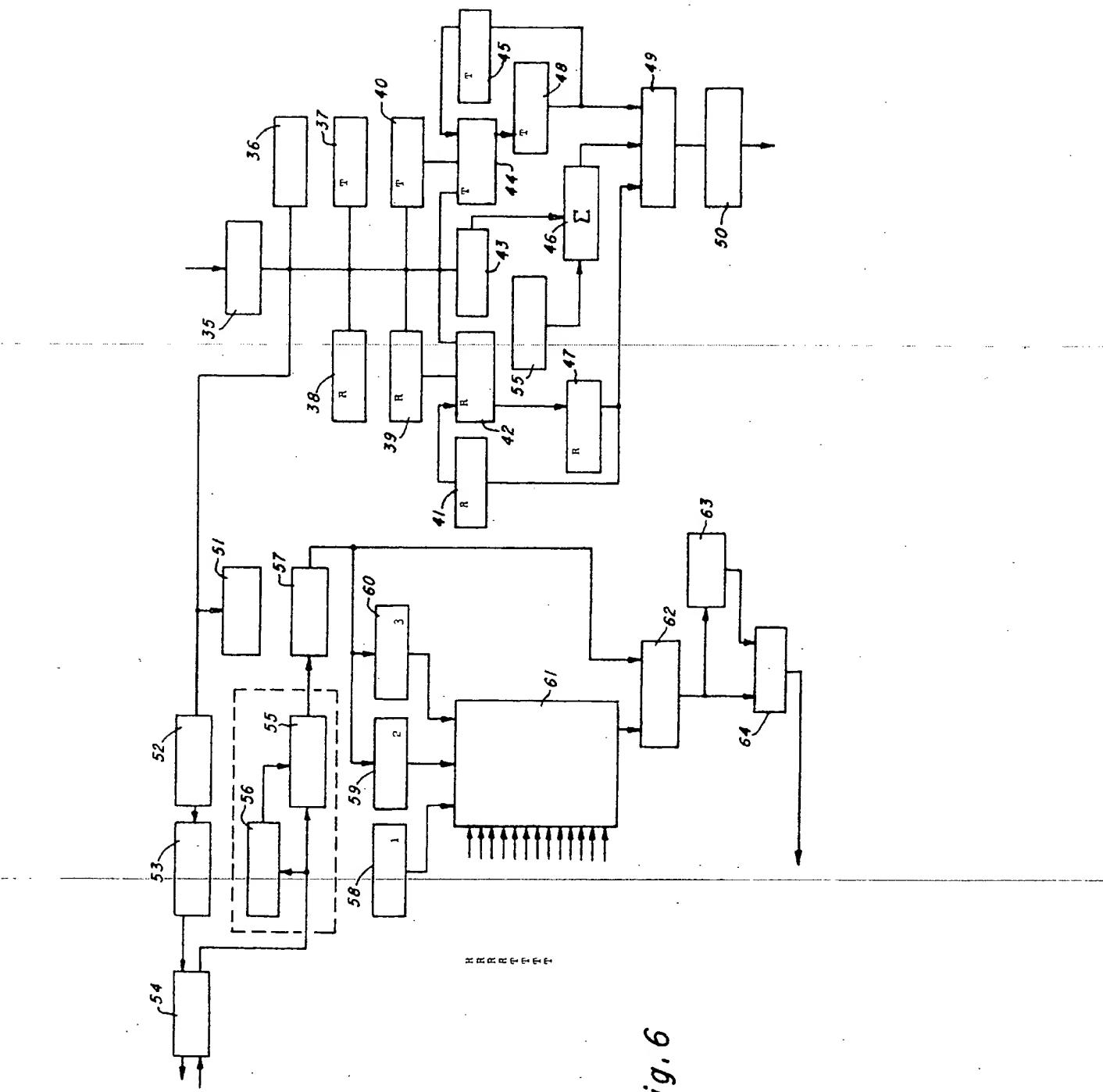
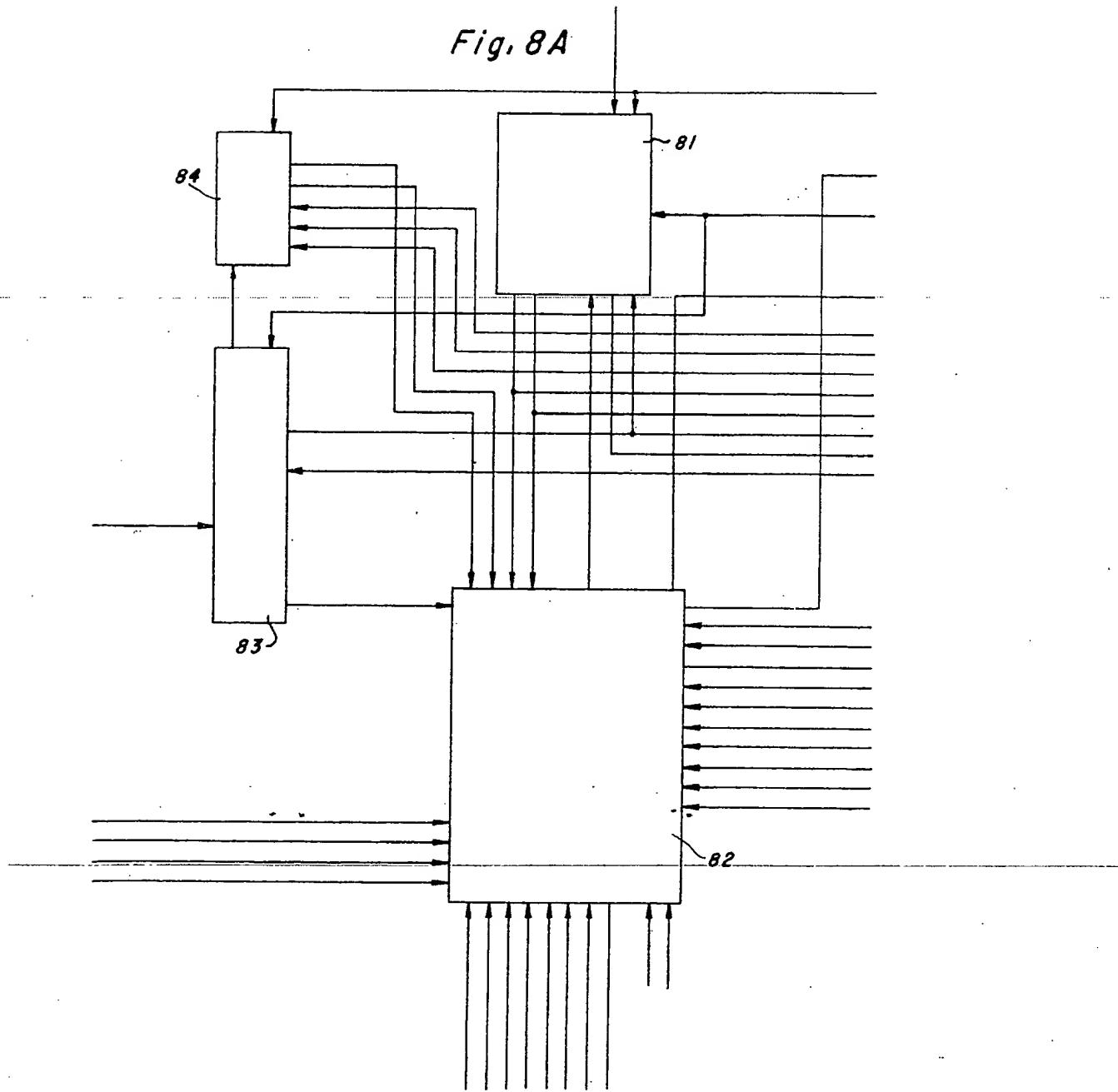


Fig. 8A



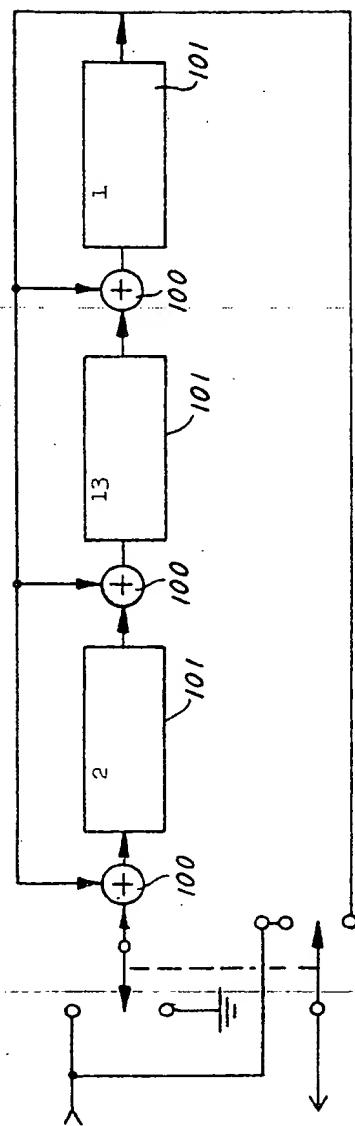


Fig. 9A

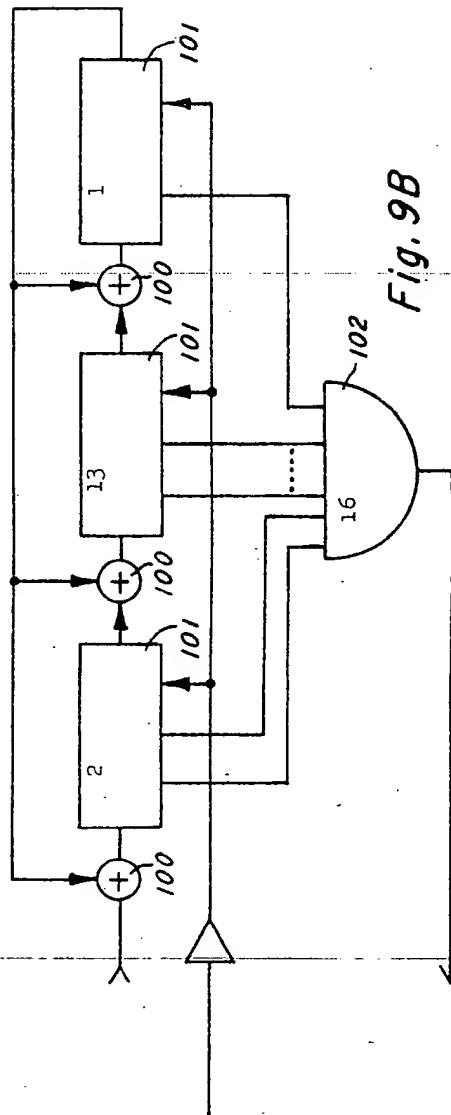


Fig. 9B